

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-357395

(43)Date of publication of application : 26.12.2000

(51)Int.Cl.

G11C 29/00  
G11C 11/401

(21)Application number : 11-166811

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 14.06.1999

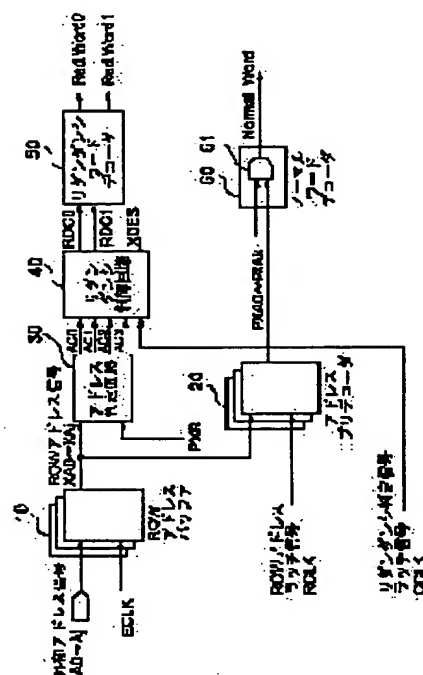
(72)Inventor : SHIBUYA MASAHIRO

## (54) SEMICONDUCTOR MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a means performing high speed access for a memory cell corresponding to an address signal in a semiconductor memory having a redundancy circuit.

**SOLUTION:** This device is provided with an address pre-decoder 20 for selecting and driving a normal word and a redundancy control circuit 40 performing discrimination processing as to whether a redundancy word is activated or not, and they are independently controlled, respectively. Therefore, preceding control of a normal word can be performed independently of whether a redundancy word is used or not, thus operation speed of the whole device can be increased.



## LEGAL STATUS

[Date of request for examination]

23.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3398686

[Date of registration]

14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(43)公開日 平成12年12月26日(2000.12.26)

603G 5B024  
371D 5L106

審査請求 有 請求項の数9 OL (全 10 頁)

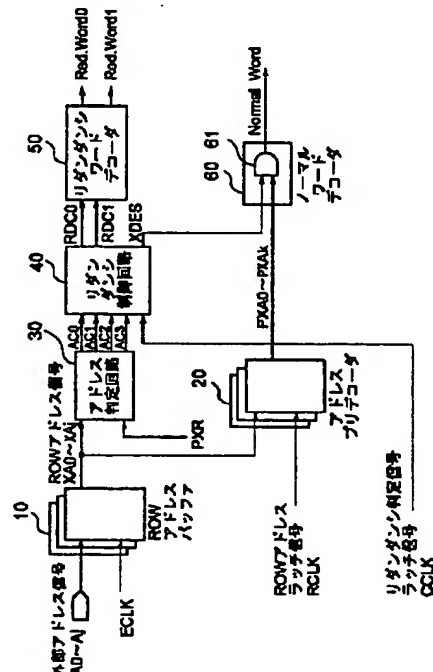
5L106 AA01 CC04 CC13 CC17 CC22  
CC32 GG07

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 リダンダンシ回路を有する半導体記憶装置において、不良セルの置換にはリダンダンシワード及びノーマルワードのどちらを活性化するかどうかが確実に決まるまで、ノーマルワードの活性化を遅らせている。

【解決手段】 ノーマルワードを選択駆動するためのアドレスブリデコーダ20と、リダンダンシワードを活性化するかどうかの判定処理を行うリダンダンシ制御回路40とを備え、それぞれ独立に制御される。このため、リダンダンシワードを使用するか否かに関わらずノーマルワードの制御を先行することが可能となり、装置全体の動作の高速化を図ることができる。



1-21670475-1"8

リゲニン使用率は 40% である。

\*101400000 1-211 75-10-4500

$\frac{d}{dt} \int_{\Omega} u^2 dx = -2 \int_{\Omega} u \Delta u dx$

1

## 【特許請求の範囲】

【請求項1】 ノーマルメモリセルと、前記ノーマルメモリセルにおける欠陥救済用に設けられたリダダンシメモリセルと、前記ノーマルメモリセルを選択するためのノーマルワードラインと、前記リダダンシメモリセルを選択するためのリダダンシワードラインと、外部から入力されたアドレス信号にตอบสนองして前記ノーマルワードラインを選択駆動するノーマルワードライン選択駆動手段と、前記アドレス信号が前記ノーマルメモリセルにおける欠陥アドレスかどうかを判定するアドレス判定手段と、前記アドレス判定手段の出力結果に基づき前記ノーマルワードライン及び前記リダダンシワードラインのいずれか一方を活性状態とし他方を非活性状態とする制御手段とを有する半導体記憶装置において、初期状態では前記アドレス判定手段の判定結果に関わらず前記ノーマルワードライン選択駆動手段が活性化されるとともに前記リダダンシワードラインが非活性されており、前記判定手段により前記アドレス信号が前記欠陥アドレスであった場合に、前記制御手段によって前記ノーマルワードラインを非活性状態とするとともに、前記リダダンシワードラインを活性状態とすることを特徴とする半導体記憶装置。

【請求項2】 ノーマルメモリセルと、前記ノーマルメモリセルにおける欠陥救済用に設けられたリダダンシメモリセルと、前記ノーマルメモリセルを選択するためのノーマルワードラインと、第1のクロック信号にตอบสนองして前記ノーマルワードラインを選択駆動するノーマルワードデコーダと、前記リダダンシメモリセルを選択するためのリダダンシワードラインと、前記リダダンシワードラインを選択駆動するリダダンシワードデコーダと、外部から入力されたアドレス信号が前記ノーマルメモリセルにおける欠陥アドレスであるか否かを判断するアドレス判定手段と、前記第1のクロック信号とは異なる第2のクロック信号にตอบสนองして前記判定手段の結果が前記欠陥アドレスであった場合は前記ノーマルワードデコーダを非活性状態とし且つ前記リダダンシワードデコーダを活性状態とし、前記判定手段の結果が前記欠陥アドレスでなかった場合は前記ノーマルワードデコーダを活性状態とし且つ前記リダダンシワードデコーダを非活性状態とするリダダンシ制御回路とを有することを特徴とする半導体記憶装置。

【請求項3】 前記第1のクロック信号は、前記第2のクロック信号が活性化する前に活性化することを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記第2のクロック信号は、前記第1のクロック信号を所定時間遅延することによって生成されることを特徴とする請求項2記載の半導体記憶装置。

【請求項5】 前記ノーマルメモリセルは、前記外部から入力されたアドレス信号に応じて選択駆動されたノーマルワードラインと、前記判定手段の結果が出力された

2

後に前記アドレス信号の一部によって更に選択駆動されるワードラインによって選択されることを特徴とする請求項2記載の半導体記憶装置。

【請求項6】 ノーマルメモリセルと、前記ノーマルメモリセルの欠陥救済用のリダダンシメモリセルと、前記ノーマルメモリセルを選択するためのノーマルワードラインを駆動するノーマルワードデコーダと、前記リダダンシメモリセルを選択するためのリダダンシワードラインを駆動するリダダンシワードデコーダと、入力されたアドレス信号が前記ノーマルメモリセルにおける欠陥アドレスであるか否かを判断するアドレス判定回路と、前記アドレス判定回路の出力結果に応じて前記ノーマルメモリセル及び前記リダダンシメモリセルのどちらか一方を活性状態とし他方を非活性状態とするとともにいずれのメモリセルを活性状態とするかを示す制御信号を発生するリダダンシ制御回路と、前記第1の制御信号によって前記ノーマルメモリセルのデータを増幅するセンスアンプを活性化するか否かを選択する手段とを有することを特徴とする半導体記憶装置。

【請求項7】 ノーマルメモリセルと、前記ノーマルメモリセルの欠陥救済用のリダダンシメモリセルとを有する半導体記憶装置において、外部アドレスラッチ信号に応じて外部アドレス信号を取り込みROWアドレス信号を出力するROWアドレスバッファと、前記ROWアドレス信号を受けて前記ROWアドレス信号の示すアドレス情報が前記リダダンシメモリセルのアドレスと一致したときに第1のレベルの判定信号を、不一致のときに第2のレベルの判定信号を出力するアドレス判定回路と、第1のクロック信号を受けて前記ROWアドレス信号を取り込むと共にデコードを行い、このデコード信号をノーマルワードデコーダに供給するアドレスプリデコーダと、第2のクロック信号に基づき前記判定信号を取り込み、前記判定信号が前記第1のレベルである場合には第1の制御信号を前記第2のレベルとし第2の制御信号を前記第1のレベルとし、前記判定信号が前記第2のレベルのときには前記第1の制御信号を前記第1のレベルとし前記第2の制御信号を前記第2のレベルとするリダダンシ制御回路と、前記第1の制御信号及び前記ノーマルメモリセルのデータを増幅するセンスアンプ駆動信号を受けて前記センスアンプを活性状態とするか否かを選択する手段と、前記第2の制御信号を受け前記リダダンシメモリセルを選択するためのリダダンシワードラインを駆動するか否かを選択するリダダンシワードデコーダとを有することを特徴とする半導体記憶装置。

【請求項8】 前記選択する手段は、前記第1の制御信号、前記センスアンプ駆動信号及び前記アドレスプリデコーダの出力信号を入力とするAND回路で構成されることを特徴とする請求項6記載の半導体記憶装置。

【請求項9】 前記第1のクロック信号は前記判定信号

3

が出力されるよりも前に変化することを特徴とする請求項6記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特にリダンダンシ回路を有する半導体記憶装置に関する。

【0002】

【従来の技術】リダンダンシ回路は、特にダイナミックRAMのようなメモリの不良セル置換のために用いられ

ている。  
【0003】このような不良セルの置換には一般的にノーマルワードとリダンダンシワードの双方が活性化してしまうマルチワード状態を防ぐために、リダンダンシワード及びノーマルワードのどちらかを活性化するかどうか

が確実に決まるまで、ノーマルワードの活性化を遅らせていたが、近年特にアドレスを取り込んでから該当のメモリセルに蓄えられているデータを読み出すまでの時間の高速化を要求されている。

【0004】従来技術の一例の回路構成図を図8に、そ

の回路のタイミング波形図を図9に示す。

【0005】まず、ROWアドレスバッファ110に外部アドレス信号A0～Ajが与えられる。ROWアドレスバッファ110は外部アドレスラッチ信号ECLKの立ち上がりで外部アドレス信号A0～Ajを取り込み、その出力であるROWアドレス信号XA0～XAjはアドレス判定回路130及びアドレスプリデコーダ120へと入力される。アドレス判定回路130は、ROWアドレス信号XA0～XAjと予めプログラムされたアドレスとをリダンダンシ用ラッチ信号によって比較し、一致したならば、リダンダンシ判定信号ACは活性状態を保持したまま(図9AC実線)、不一致ならば非活性状態(図9AC破線)を示す。リダンダンシ制御回路150は、アドレス判定が終了した後ROWアドレスラッチ信号RCLKの立ち上がりでリダンダンシ判定信号ACを読み取り、リダンダンシワードを活性化するかどうかの判定を行う。また、このときアドレスプリデコーダ120は、ROWアドレス信号XA0～XAjをプリデコードした信号を取り込みアドレスプリデコード信号PXA0～PXAkをノーマルワードデコーダ160へと出力する。そして、リダンダンシ制御回路150の出力信号であるリダンダンシワードイネーブル信号RDC及びノーマルワードイネーブル信号XDCに基づいて、ノーマルワード及びリダンダンシワードのどちらか一方が活性化される。

【0006】

【発明が解決しようとする課題】図8及び図9に示した従来技術では、マルチワードを防ぐために、ノーマルワードを活性化するかリダンダンシワードを活性化するかを確定する時刻まで、ノーマルワードデコーダ16

4

0及びリダンダンシワードデコーダ150共に非選択状態としており、この判定が確定してからROWアドレスラッチ信号RCLKを立ち上げてノーマルワードデコーダ160及びリダンダンシワードデコーダ150のいずれか一方を選択している。よって、ノーマルワードの活性化に要する時間は、この判定結果であるノーマルワードイネーブル信号XDCに依存する。ところが、ノーマルワードはリダンダンシワードよりもその本数が多いため、ノーマルワードデコーダ160に含まれる論理回路の段数は、リダンダンシワードデコーダ150に含まれるその数に比べて非常に多く、このため、図9に示すようにノーマルワードの活性化には時間がかかってしまう。そのために、従来はメモリセルへの高速なアクセスが妨げられていた。

【0007】したがって、本発明の主な目的は、リダンダンシ回路を有する半導体記憶装置において、アドレス信号に対応したメモリセルのアクセスを高速に行う手段を提供することである。

【0008】

【課題を解決するための手段】本発明の半導体記憶装置は、ノーマルメモリセルと、前記ノーマルメモリセルにおける欠陥救済用に設けられたリダンダンシメモリセルと、前記ノーマルメモリセルを選択するためのノーマルワードラインと、前記リダンダンシメモリセルを選択するためのリダンダンシワードラインと、外部から入力されたアドレス信号に応答して前記ノーマルワードラインを選択駆動するノーマルワードライン選択駆動手段と、前記アドレス信号が前記ノーマルメモリセルにおける欠陥アドレスかどうかを判定するアドレス判定手段と、前記アドレス判定手段の出力結果に基づき前記ノーマルワードライン及び前記リダンダンシワードラインのいずれか一方を活性状態とし他方を非活性状態とする制御手段とを有する半導体記憶装置において、初期状態では前記アドレス判定手段の判定結果に関わらず前記ノーマルワードライン選択駆動手段が活性化されるとともに前記リダンダンシワードラインが非活性されており、前記判定手段により前記アドレス信号が前記欠陥アドレスであった場合に、前記制御手段によって前記ノーマルワードラインを非活性状態とするとともに、前記リダンダンシワードラインを活性状態とすることを特徴とする。

【0009】また、本発明によれば、ノーマルメモリセルと、ノーマルメモリセルにおける欠陥救済用に設けられたリダンダンシメモリセルと、ノーマルメモリセルを選択駆動するノーマルワードデコーダと、リダンダンシメモリセルを選択駆動するリダンダンシワードデコーダとを有する半導体記憶装置において、第1のクロック信号を受けて外部から入力されたROWアドレス信号を取り込みデコードしたプリデコード信号をノーマルワードデコーダに供給するアドレスプリデコーダと、ROWアドレス信号がノーマルメモリセルにおける欠陥アドレス

5

であるか否かを判定するアドレス判定回路と、第2のクロック信号を受けてアドレス判定回路の結果を取り込み、リダンダンシワードデコーダへ結果を供給し、且つ、結果が欠陥アドレスであった場合にはノーマルワードデコーダを非活性状態とし、結果が欠陥アドレスでなかった信号にはノーマルワードデコーダを活性状態とする制御信号を出力するリダンダンシ制御回路とを備えたことを特徴とする。

【0010】この場合、第1のクロック信号はアドレス判定回路の結果が出力されるよりも前に変化し、且つ、第2のクロック信号はノーマルワードデコーダにプリデコード信号が供給されるよりも前に変化する。

【0011】そして、第2のクロック信号は、前記第1のクロック信号を所定時間遅延することによって生成される。

【0012】また、本発明によれば、ノーマルメモリセルと、前記ノーマルメモリセルの欠陥救済用のリダンダンシメモリセルと、前記ノーマルメモリセルを選択するためのノーマルワードラインを駆動するノーマルワードデコーダと、前記リダンダンシメモリセルを選択するためのリダンダンシワードラインを駆動するリダンダンシワードデコーダと、入力されたアドレス信号が前記ノーマルメモリセルにおける欠陥アドレスであるか否かを判断するアドレス判定回路と、前記アドレス判定回路の出力結果に応じて前記ノーマルメモリセル又は前記リダンダンシメモリセルのどちらかを活性状態とし他方を非活性状態とし前記ノーマルメモリセルを制御する第1の制御信号と前記リダンダンシメモリセルを制御する第2の制御信号とを出力するリダンダンシ制御回路と、前記第1の制御信号によって前記ノーマルメモリセルのデータを増幅するセンスアンプを活性化するか否かを選択する手段とを有することを特徴とする。

【0013】

【発明の実施の形態】本発明の実施の形態について図面を参照して詳細に説明する。

【0014】本発明の第1の実施の形態の回路構成を図1に示す。本発明による半導体記憶装置は、ROWアドレスバッファ10と、アドレスプリデコード20と、アドレス判定回路30と、リダンダンシ制御回路40と、リダンダンシワードデコーダ50と、ノーマルワードデコード60とを有する。

【0015】ROWアドレスバッファ10は外部から与えられる外部アドレス信号数分あり、外部アドレスラッチ信号ECLKの立ち上がりによって外部アドレス信号A0～A<sub>j</sub>を取り込み、その出力のROWアドレス信号XA0～XA<sub>j</sub>はアドレス判定回路30とアドレスプリデコード20に供給される。

【0016】アドレスプリデコード20は複数のROWアドレス信号XA0～XA<sub>j</sub>をプリデコードし、かつROWアドレスラッチ信号RCLKの立ち上がりでプリデ

6

コードした信号を取り込み、その出力はアドレスプリデコード信号PXA0～PXA<sub>k</sub>としてノーマルワードデコード60に供給される。

【0017】アドレス判定回路30は任意の数が用意されていて、例えば図2に示されるように、それぞれヒューズなどを用いて不良のあるノーマルメモリセルのアドレスがプログラムできるようになっており、ROWアドレス信号XA0～XA<sub>j</sub>の表すアドレスとプログラムされたアドレスとの比較をリダンダンシ用アドレスラッチ信号PXRによって行い、その結果をリダンダンシ判定信号AC0～AC3としてリダンダンシ制御回路40に供給する。例えば、リダンダンシ判定結果が一致ならハイレベル、不一致ならロウレベルとしてリダンダンシ制御回路に取り込まれる。

【0018】リダンダンシ制御回路40は、リダンダンシ判定ラッチ信号CCLKの立ち上がりでリダンダンシ判定信号AC0～AC3を取り込み、リダンダンシワードを活性化するかどうかの判定処理を行う。その結果、リダンダンシ判定信号AC0～AC3にそれぞれ対応して出力されるリダンダンシワードイネーブル信号RDC0、RDC1はリダンダンシワードデコーダ50に供給され、また、他の出力であるノーマルワードディセーブル信号XDESはノーマルワードデコード60に供給される。ここで、特に限定されないが、Red. Word 0及びRed. Word 1が図示しないサブワード構成となっている場合のリダンダンシ制御回路40の回路構成を図4に示す。リダンダンシ判定信号AC0～AC3は、リダンダンシ判定ラッチ信号の立ち上がりでNOR回路41に取り込まれ、リダンダンシワードイネーブル信号RDC0及びRDC1を出力する。そして、リダンダンシ判定信号AC0～AC3に対応してさらに別のワードラインが選択駆動される。

【0019】ノーマルワードデコード60は、アドレスプリデコード信号PXA0～PXA<sub>k</sub>とノーマルワードディセーブル信号XDESによって制御され、入力された外部アドレスに対応するノーマルワードを駆動する。ノーマルワードデコード60は、例えば多入力AND回路61で構成され、ノーマルワードディセーブル信号XDESがハイレベルである場合に、アドレスプリデコード信号PXA0～PXA<sub>k</sub>が所定の組み合わせとなると所定のノーマルワードを活性化する。なお、図1では簡単のため、1本のノーマルワードのみを示している。

【0020】また、リダンダンシワードデコーダ50は、リダンダンシ制御回路40の出力する制御信号RDC0、RDC1によって制御され、アドレス判定回路30にプログラムされたアドレスに対応するリダンダンシワードRed. Word 0、Red. Word 1を選択駆動する。リダンダンシメモリセルを使用する場合は、ノーマルワードディセーブル信号XDESをロウレベルとしノーマルワードデコード60を非活性化する。

7

【0021】以下に、本実施の形態の動作について図1の回路構成図及び図4のタイミング波形図を用いて説明する。

【0022】外部アドレスバッファ10は外部アドレスラッチ信号ECLKの立ち上がりで外部アドレス信号A<sub>j</sub>を取り込み、ROWアドレス信号XA0～XA<sub>j</sub>としてアドレス判定回路30とアドレスブリデコード20に出力する。

【0023】アドレスブリデコード20は、XA0～XA<sub>j</sub>を予めブリデコードしておき、その結果をROWアドレスラッチ信号RCLKの立ち上がりで取り込み、アドレスブリデコード信号PXA0～PXA<sub>k</sub>を出力する。ここでは、アドレスラッチ信号RCLKが後述のリダダンダンシ判定ラッチ信号CCLKに先立って活性化している点に注目されたい。

【0024】ここで、アドレス判定回路30は例えばヒューズを用いてプログラムされたノーマルメモリセルの不良アドレスとROWアドレス信号XA<sub>j</sub>とをリダダンダンシ用ラッチ信号PXRによって比較を行い、一致したならば、リダダンダンシ判定信号ACはハイレベルを保持したまま（図4 AC破線）、不一致ならばリダダンダンシ判定信号ACはロウレベルとなる（図4 AC実線）。

【0025】リダダンダンシ制御回路40では、該回路の出力信号の初期値を、例えばリダダンダンシワードイネーブル信号RDCはロウレベル、ノーマルワードディセーブル信号XDESはハイレベルとする。リダダンダンシ判定ラッチ信号CCLKの立ち上がりによってリダダンダンシ判定信号ACの値を読み取り、リダダンダンシメモリセルを使用するかどうかの判定が行われる。例えばリダダンダンシメモリセルを使用する場合は、リダダンダンシワードイネーブル信号RDCをハイレベル（図4 RDC破線）にすると共に、ノーマルワードディセーブル信号XDESをロウレベル（図4 XDES破線）にする。このとき、既にアドレスラッチ信号RCLKは活性化されているため、アドレスブリデコード20より既にアドレスブリデコード信号PXA0～PXA<sub>k</sub>はノーマルワードデコーダ60に印加されている。

【0026】ノーマルワードデコーダ60は、初期状態においてノーマルワードディセーブル信号XDESがハイレベル（図4 XDES実線）であるため、ノーマルワードディセーブル信号XDESの確定を待たずに、アドレスブリデコード信号PXA0～PXA<sub>k</sub>に基づきノーマルワードを選択駆動する（図4 Normal Word実線）。リダダンダンシワード使用の場合は、ノーマルワードディセーブル信号XDESがロウレベル（図4 XDES破線）となるためアドレスブリデコード信号PXA0～PXA<sub>k</sub>に関わらず、ノーマルワードは選択駆動されずロウレベルのままである（図4 Normal Word破線）。

【0027】一方、リダダンダンシワードデコーダ50

8

は、リダダンダンシ判定回路40から出力されるリダダンダンシワードイネーブル信号RDCに基づき、リダダンダンシワードイネーブル信号RDCがハイレベル（図4 RDC破線）ならリダダンダンシワードを選択駆動し（図4 Red. Word破線）、リダダンダンシワードイネーブル信号RDCがロウレベル（図4 RDC実線）ならリダダンダンシワードを駆動せずロウレベルのままとする（図4 Red. Word実線）。

【0028】ここで、上述したとおり、ノーマルワードはリダダンダンシワードよりもその本数が多いため、ノーマルワードデコーダ60に含まれる論理回路の段数は、リダダンダンシワードデコーダ50に含まれるその数に比べて非常に多い。そのため、リダダンダンシワードイネーブル信号RDCが活性化してからリダダンダンシワードが活性化するまでの時間と、ノーマルワードディセーブル信号XDESが活性状態にあり且つアドレスブリデコード信号PXA0～PXA<sub>k</sub>が所定の組み合わせとなつてからノーマルワードが活性化するまでの時間との間にはタイムラグΔt<sub>0</sub>がある。このタイムラグΔt<sub>0</sub>をROWアドレスラッチ信号RCLKとリダダンダンシ判定ラッチ信号CCLKとの時間差Δtと実質的に等しくすれば、ノーマルワードデコーダ60による選択の遅れは解消される。

【0029】以上のとおり、本実施の形態によれば、アドレスブリデコード20とリダダンダンシ制御回路40を独立に制御するため、ROWアドレスラッチ信号RCLKはリダダンダンシ判定信号ACが確定するか否かに関わらず先行して立ち上げ、リダダンダンシメモリセルを使用する場合のみノーマルワードの立ち上げを中止することができ、従来よりもノーマルワードの活性化を早めることができる。すなわち、ノーマルワードデコーダに含まれる多数の論理回路を経由して活性化されるノーマルワードの制御を先行することにより、装置全体の動作の高速化を図ることができるのである。

【0030】なお、本実施の形態では、当該半導体記憶装置を分割デコード方式とすることができる。この場合は、ノーマルワードがアドレスブリデコード信号PXA0～PXA<sub>k</sub>に対応して選択された後、下位アドレス

（例えばXA0、XA1）に対応してそれぞれ選択信号が選択駆動され、ノーマルワードと選択信号の組み合わせによって最終的にメモリセルに接続された所定のサブワードが駆動される。このような分割デコード方式を採用する場合は、ノーマルワードもしくはリダダンダンシワードが活性化してから実際にサブワードが駆動されるまでにある程度の時間Δt<sub>1</sub>を要するので、ROWアドレスラッチ信号RCLKとリダダンダンシ判定ラッチ信号CCLKとの時間差ΔtをΔt<sub>0</sub>とΔt<sub>1</sub>の和と実質的に等しくすることによって、そのアクセス速度はさらに高速化される。

【0031】図5は、ノーマルワード制御及びリダダン

ンシワード制御信号に更に工夫した本発明の第2の実施の形態を示す回路構成図である。図5においては、図1の第1の実施の形態と同一の部分には同一の符号を付し、説明を省略する。

【0032】本発明の第2の実施の形態では、遅延回路70を用いてROWアドレスラッチ信号RCLKよりΔtだけ遅れた信号RCLK'を生成し、リダンダンシ判定ラッチ信号CCLKの代わりに、RCLK'を用いる。このことにより不必要に回路を増加させることなく、且つ、第1の実施の形態と同等の効果を得ることが可能であることは言うまでもない。

【0033】次に、本発明の第3の実施の形態を表す回路構成を図6、そのタイミング波形図を図7に示す。本実施の形態においては、ROWアドレスバッファ10と、アドレスプリデコード20と、アドレス判定回路30と、リダンダンシ制御回路40と、リダンダンシワードデコーダ50と、ノーマルワードデコーダ60と、セルフプレート選択回路80とを有する。

【0034】セルフプレート選択回路80は、外部より入力された外部アドレスA<sub>j</sub>に対応したセンスアンプ列を活性化する。例えばアドレスプリデコード信号PXA0～PXA<sub>k</sub>、センスアンプイネーブル信号SE及びディセーブル信号XDESの3つの信号を入力とするAND回路81で構成され、センスアンプ駆動信号SAPNをノーマルメモリセルを選択駆動するセンスアンプに供給する。そして、ノーマルワードより立ち上がりの遅いセンスアンプ駆動信号SAPNを非活性化とすることにより不良メモリセルが活性化されるのを抑える。ここで、ノーマルメモリセルとリダンダンシメモリセルは異なるプレートで構成されているため、ノーマルワードラインはリダンダンシメモリセル使用の判定信号が確定するか否かに関わらず先行して活性化しておくことができる。つまり、リダンダンシメモリセルが使用されない場合は、先行して活性化したノーマルワードラインに基づきデータを読み出すことが可能となるのである。したがって、本発明の第1の実施の形態では、リダンダンシワード使用時のノーマルワードの非活性化をノーマルワードデコーダ60において行っているが、これをノーマルワード立ち上がりよりも更に遅い信号を非活性化することで、より一層ノーマルワードを活性化する制御を先行しているのである。

【0035】さらに、本実施の形態によれば、ディセーブル信号XDESのタイミングを後ろにずらしたことで、より他の信号のマージン調整が容易となるだけでなく、例えばノーマルワードディセーブル信号XDESの活性化が遅かったとしても、ノーマルワードを活性化させるのを遅らせる必要はないため、さらなる高速化が期待で

きる。

【0036】

【発明の効果】以上説明したように、本発明によれば、アドレスに呼応したワードを立ち上げる時間の高速化を行うことができる。

【0037】その理由は、リダンダンシワードを使用するか否かに関わらず、ノーマルワードの制御を先行して行うため、ノーマルワード又はリダンダンシワードのどちらを使用するか判定が決まるまである特定の信号を不必要に待たせる必要がなくなるためである。この結果、従来製品に比べて例えば2ns程度アドレスに呼応したワードを立ち上げる時間の高速化を行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の回路構成図である。

【図2】本発明の第1の実施の形態のアドレス判定回路である。

【図3】本発明の第1の実施の形態のリダンダンシ制御回路である。

【図4】本発明の第1の実施の形態の動作を示すタイミング波形図である。

【図5】本発明の第2の実施の形態の回路構成図である。

【図6】本発明の第3の実施の形態の回路構成図である。

【図7】本発明の第3の実施の形態の動作を示すタイミング波形図である。

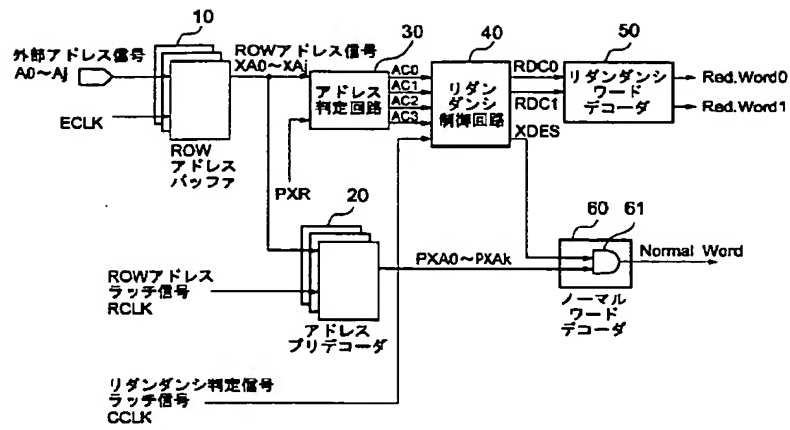
【図8】本発明の従来技術の回路構成図である。

【図9】本発明の従来技術の動作を示すタイミング波形図である。

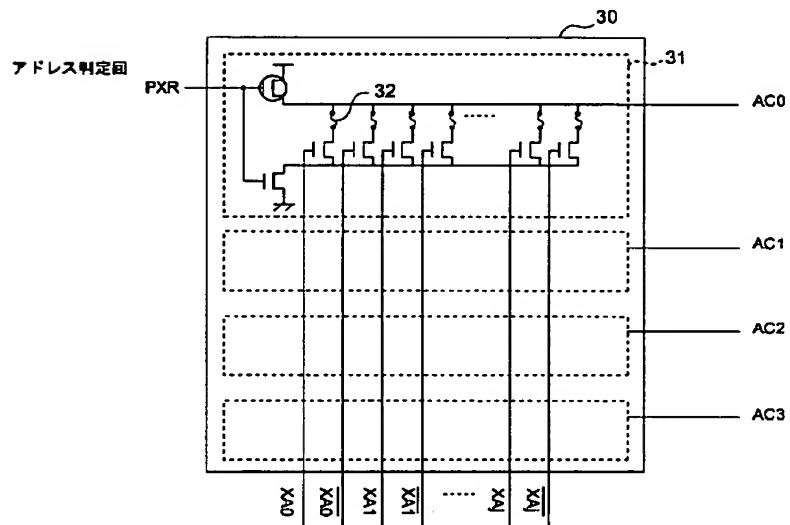
【符号の説明】

10, 110	ROWアドレスバッファ
20, 120	アドレスプリデコーダ
30, 31, 130	アドレス判定回路
32	ヒューズ
40, 140	リダンダンシ制御回路
41	NOR回路
42	インバータ
43	AND回路
50, 150	リダンダンシワードデコーダ
60, 160	ノーマルワードデコーダ
61	AND回路
70	遅延回路
80	セルフプレート選択回路
81	AND回路

【図1】

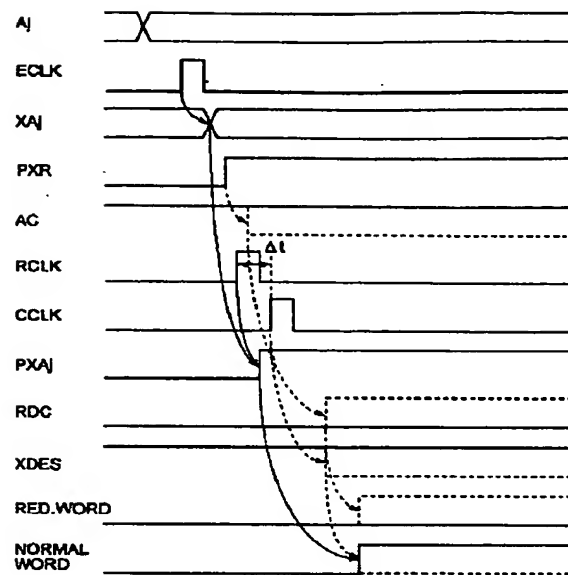


【図2】

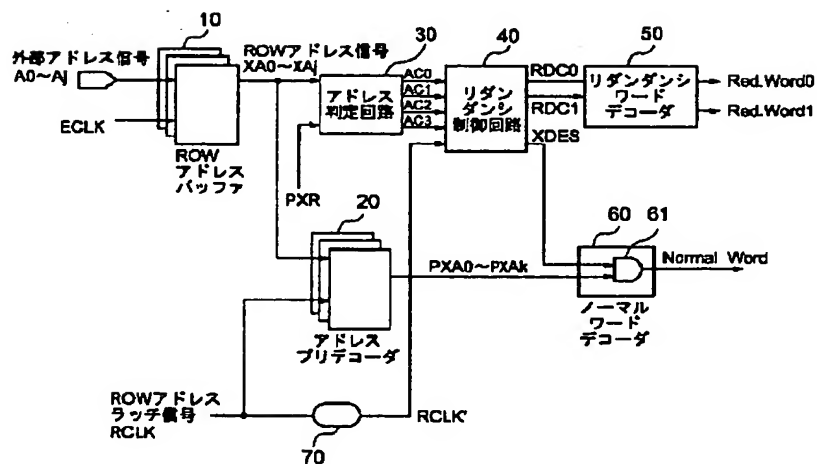




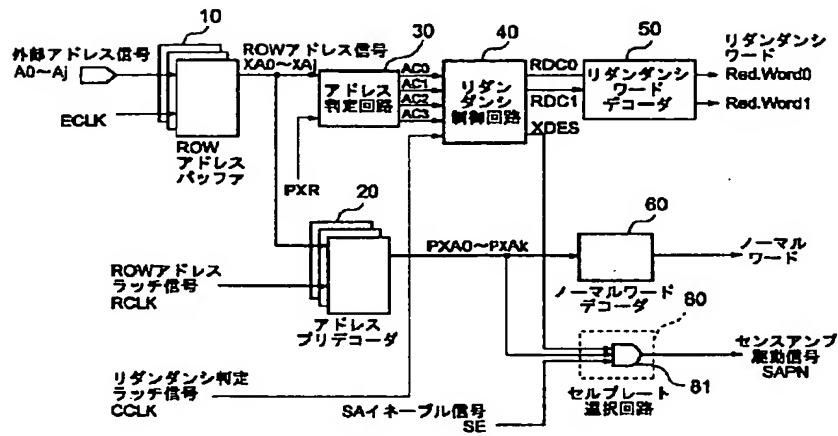
【図4】



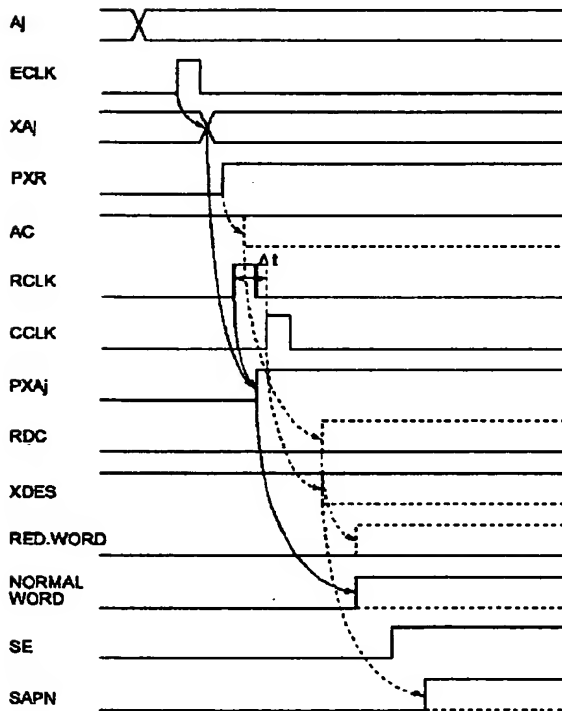
【図5】



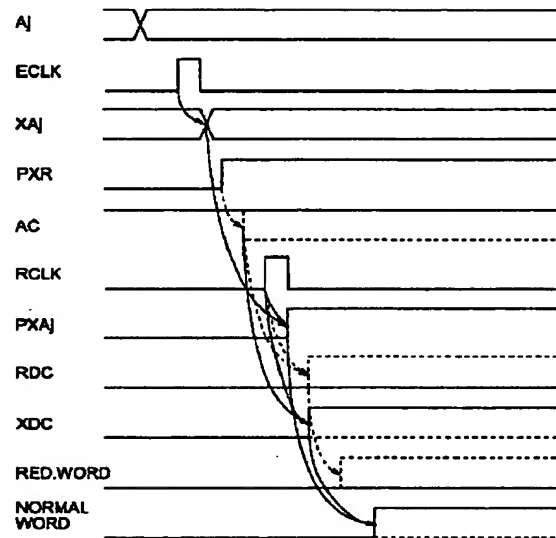
【図6】



【図7】



【図9】



【図8】

